

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335656

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/8234
27/088

H 0 1 L 29/78
27/08

3 0 1 G
1 0 2 B

審査請求 未請求 請求項の数17 O L (全 14 頁)

(21) 出願番号

特願平9-145258

(22) 出願日

平成9年(1997)6月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稲葉 聡

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

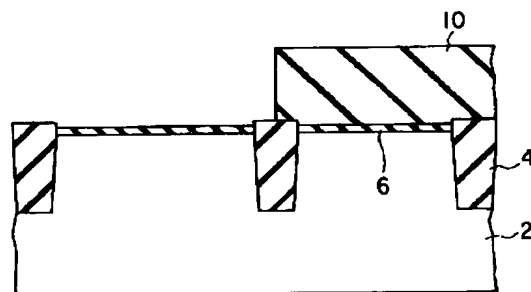
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

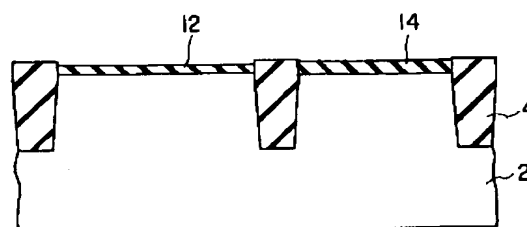
(57) 【要約】

【課題】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS-FETを用いた半導体装置の製造方法において、従来のプロセスと比較して、マスクパターン形成のためのフォトリソグラフィ工程等を削減すると共に、ゲート絶縁膜形成のための熱処理工程を軽減することにより、製造効率を高め、かつ製造コストを低減することができる。

【解決手段】 シリコン酸化膜からなるゲート絶縁膜14の膜厚を厚くもしくは薄くすべき、MIS-FETが形成される素子領域に対して、MIS-FETのチャネル部へのイオン注入を行う際に、上記シリコン酸化膜の形成速度を変化させるイオンを選択的に導入する。そして、シリコン半導体基板2上に、熱酸化法もしくは陽極酸化法により膜厚の異なるシリコン酸化膜からなるゲート絶縁膜12、14を形成する。



(a)



(b)

【特許請求の範囲】

【請求項1】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記MIS-FETが形成される素子領域に対して、上記MIS-FETのチャネル部へのイオン注入を行う際に、上記ゲート絶縁膜の形成速度を実質的に変化させる不純物を導入する工程を具備することを特徴とする半導体装置の製造方法。

【請求項2】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を速める不純物を導入する工程を具備することを特徴とする半導体装置の製造方法。

【請求項3】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を遅くする不純物を導入する工程を具備することを特徴とする半導体装置の製造方法。

【請求項4】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を速める不純物を導入する工程と、上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を遅くする不純物を導入する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項5】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的にアルゴン（Ar）、キセノン（Xe）、もしくは酸素（O₂）のイオンを導入する工程を具備することを特徴とする半導体装置の製造方法。

【請求項6】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

T）を搭載する半導体装置の製造方法において、上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に窒素（N₂）イオンを導入する工程を具備することを特徴とする半導体装置の製造方法。

【請求項7】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

10 上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的にアルゴン（Ar）、キセノン（Xe）、もしくは酸素（O₂）のイオンを導入する工程と、

上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に窒素（N₂）イオンを導入する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項8】 上記MIS-FETのチャネル部へのイオン注入を行う際に、上記不純物もしくはイオンを導入することを特徴とする請求項1乃至7のいずれかに記載の半導体装置の製造方法。

【請求項9】 半導体基板上に素子領域を画定する工程と、

上記素子領域のうち第1の膜厚の絶縁膜を形成しようとする領域に、上記絶縁膜の形成速度を遅らせる不純物を導入する工程と、

上記素子領域のうち上記第1の膜厚より厚い第2の膜厚の絶縁膜を形成しようとする領域に、上記絶縁膜の形成速度を速める不純物を導入する工程と、

30 を具備することを特徴とする半導体装置の製造方法。

【請求項10】 第1の膜厚のゲート絶縁膜を有するMIS-FETと、この第1の膜厚より厚い第2の膜厚のゲート絶縁膜を有するMIS-FETとを同一半導体基板上に搭載する半導体装置の製造方法において、

上記第1の膜厚のゲート絶縁膜を有するMIS-FETのチャネル部へのイオン注入と上記第1の膜厚のゲート絶縁膜の形成速度を遅らせる不純物の導入とを同一のマスクパターンを用いて行う工程と、

上記第2の膜厚のゲート絶縁膜を有するMIS-FETのチャネル部へのイオン注入と上記第2の膜厚のゲート絶縁膜の形成速度を速める不純物の導入とを同一のマスクパターンを用いて行う工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項11】 熱酸化法により上記半導体基板上にゲート絶縁膜を形成することを特徴とする請求項1乃至10のいずれかに記載の半導体装置の製造方法。

【請求項12】 同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、

上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域、もしくは上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に選択的に不純物を導入したうえで、上記ゲート絶縁膜を陽極酸化法を用いて形成する工程を具備することを特徴とする半導体装置の製造方法。

【請求項13】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、n形不純物を導入し n^- 領域を形成する工程と、上記シリコン半導体基板に光を照射せずに暗黒下で陽極酸化を行い、上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に上記シリコン酸化膜を形成する工程と、上記暗黒下での陽極酸化の後、上記シリコン半導体基板への光の照射を開始して陽極酸化を行い、上記第1、第2の素子領域に上記シリコン酸化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項14】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、n形不純物を導入し n^- 領域を形成する工程と、上記シリコン半導体基板に光を照射せずに暗黒下で陽極酸化を行い、上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に上記シリコン酸化膜を形成する工程と、上記陽極酸化の後、上記第1、第2の素子領域に熱酸化法により上記シリコン酸化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項15】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、アルゴン（Ar）もしくはキセノン（Xe）のイオンを導入する工程と、上記シリコン半導体基板上に陽極酸化法により上記シリコン酸化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項16】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有

するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、アンチモン（Sb）もしくはガリウム（Ga）のイオンを導入する工程と、

上記シリコン半導体基板上に陽極酸化法により上記シリコン酸化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

10 【請求項17】 同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法において、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、アンチモン（Sb）もしくはガリウム（Ga）のイオンを導入する工程と、

上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に対して、アルゴン（Ar）もしくはキセ

20 ン（Xe）のイオンを導入する工程と、上記第1、第2の素子領域に陽極酸化法により上記シリコン酸化膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS型電界効果トランジスタ（MIS-FET）を用いた半導体装置の製造方法に関するものであり、特に同一半導体基板上に2種類以上の膜厚のゲート絶縁膜を形成する製造方法に関するものである。

【0002】

【従来の技術】上記MIS型電界効果型トランジスタ（MIS-FET）、その中の代表的なMOS-FETを用いた半導体装置としては、ダイナミック型RAM、スタティック型RAM等の記憶装置や、CMOSロジック回路を用いた演算装置などがあげられる。

【0003】現在、集積密度の向上や性能向上のために素子の微細化が避けられない状況にある。それに伴って、素子の信頼性を維持するため、また素子数の増加に伴う消費電力を低減させるために、これらが形成された内部回路の電源電圧を低下させることが必須となっている。

【0004】その一方で、外部とのインタフェースを受け持つ回路部分、すなわち周辺回路においては、従来からの外部における回路の電源電圧の仕様が世代が進んでも踏襲する必要があり、簡単に変更できない。つまり、半導体装置内のインタフェース部分の周辺回路では、上記内部回路を動作するための電源電圧よりも高い電圧で動作することが要求されている。したがって、結果的に

1つの半導体装置内部で電源電圧を複数使用する必要に迫られている。

【0005】この複数の電源電圧に対して素子の動作信頼性を保持していくためには、MIS-FETにおいて、ゲート絶縁膜の厚さを低電圧で動作する素子では比較的薄く、高電圧で動作する素子では比較的厚くすることが必要とされる。例えば、3.3V動作と、2.5V動作を同時に達成するためには、9nmと6nm程度の膜厚のシリコン酸化膜が必要とされる。

【0006】これを達成するために、従来はシリコン窒化膜を酸化に対する防護膜として用い、薄いシリコン酸化膜を形成する部分と、厚いシリコン酸化膜を形成する部分を別々に酸化することで達成している。

【0007】図13～図15は、従来の上述したような、2種類の膜厚のシリコン酸化膜を形成する場合の製造方法の一例を説明するための断面図である。図13に示すように、半導体基板100に素子分離領域102を形成して素子領域を画定し、さらにこの半導体基板100上にパッキン酸化膜104を形成した後、チャンネルイオン注入を行う。このチャンネルイオン注入では、上記内
部回路と周辺回路とは使用する電源電圧が異なるため、短チャンネル効果の抑制やしきい値電圧を調整するために、薄いシリコン酸化膜を形成する部分と、厚いシリ
コン酸化膜を形成する部分を別々に開口してイオン注入
を行う必要がある。

【0008】またここでは、素子分離領域102に挟まれた左側の素子領域がより薄いシリコン酸化膜を持つ素子となり、右側の素子領域がより厚いシリコン酸化膜を持つ素子となるものとする。

【0009】続いて、図14(a)に示すように、上記パッキン酸化膜104上にシリコン窒化膜を形成した後、厚いシリコン酸化膜を形成したい領域(右側)のシリコン窒化膜を除去して、薄いシリコン酸化膜を形成したい領域(左側)のみにシリコン窒化膜パターン106を形成する。その後、厚いシリコン酸化膜を形成したい領域(右側)だけ上記パッキン酸化膜104を剥離して、熱酸化法により1回目の酸化を行い、この厚いシリ
コン酸化膜を形成したい領域(右側)にシリコン酸化膜
(熱酸化膜)108を形成する。このシリコン酸化膜108の形成では、薄いシリコン酸化膜と厚いシリ
コン酸化膜の膜厚差に、薄いシリコン酸化膜を形成したい領域
(左側)の上記パッキン酸化膜104の剥離によって削
られる膜厚分を加えた膜厚のシリコン酸化膜を形成す
る。

【0010】次に、図14(b)に示すように、薄いシリコン酸化膜を形成したい領域(左側)のシリコン窒化膜パターン106をホット燐酸液などで除去し、さらに上記パッキン酸化膜104を剥離する。その後、熱酸化法により2回目の酸化を行い、左右の領域に2種類の膜厚のシリコン酸化膜(ゲート酸化膜)110、112を

形成する、すなわち所望の膜厚差を持つシリコン酸化膜を形成する。この後は、図15に示すようにゲート電極114を形成した後、通常のMOS-FETの製造工程に従って製造される。

【0011】

【発明が解決しようとする課題】しかしながら、上述のような従来の製造方法では、2回の酸化工程においてそれぞれウェハの洗浄処理が必要となり、かつ熱処理もパッキン酸化膜剥離の margins をみて増大させる必要がある。このように工程が複雑になることと、熱処理の回数及びその時間が増大することが問題となっている。

【0012】そこで本発明は、上記課題に鑑みてなされたものであり、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS-FETを用いた半導体装置の製造方法において、半導体基板上の一部の領域にマスクパターンを用いてゲート絶縁膜の膜厚差を形成した後に、半導体基板上全面にゲート絶縁膜を形成して2種類以上の膜厚のゲート絶縁膜を形成するような従来のプロセスと比較して、マスクパターン形成のためのフォトリソグラフィ工程等を削減すると共に、ゲート絶縁膜形成のための熱処理工程を軽減することにより、製造効率を高め、かつ製造コストを低減することができる半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の半導体装置の製造方法は、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ(以下MIS-FET)を搭載する半導体装置の製造方法であって、上記MIS-FETが形成される素子領域に対して、上記MIS-FETのチャンネル部へのイオン注入を行う際に、上記ゲート絶縁膜の形成速度を実質的に変化させる不純物を導入する工程を具備することを特徴とする。

【0014】また、請求項2に記載の半導体装置の製造方法は、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ(以下MIS-FET)を搭載する半導体装置の製造方法であって、上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を速める不純物を導入する工程を具備することを特徴とする。

【0015】また、請求項3に記載の半導体装置の製造方法は、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ(以下MIS-FET)を搭載する半導体装置の製造方法であって、上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を遅くする不純物を導入する工程を具備することを特徴とする。

【0016】また、請求項4に記載の半導体装置の製造

10

20

30

40

50

7

方法は、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を速める不純物を導入する工程と、上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記ゲート絶縁膜の形成速度を遅くする不純物を導入する工程とを具備することを特徴とする。

【0017】また、請求項5に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記シリコン酸化膜の形成速度を速めるアルゴン（Ar）、キセノン（Xe）、もしくは酸素（O₂）のイオンを導入する工程を具備することを特徴とする半導体装置の製造方法。

【0018】また、請求項6に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記シリコン酸化膜の形成速度を遅くする窒素（N₂）イオンを導入する工程を具備することを特徴とする。

【0019】また、請求項7に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記シリコン酸化膜の形成速度を速めるアルゴン（Ar）、キセノン（Xe）、もしくは酸素（O₂）のイオンを導入する工程と、上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、選択的に上記シリコン酸化膜の形成速度を遅くする窒素（N₂）イオンを導入する工程とを具備することを特徴とする。

【0020】また、さらに請求項8に記載の半導体装置の製造方法は、請求項1乃至7のいずれかに記載の構成において、上記MIS-FETのチャネル部へのイオン注入を行う際に、上記不純物もしくはイオンを導入することを特徴とする。

【0021】また、請求項9に記載の半導体装置の製造方法は、半導体基板上に素子領域を画定する工程と、上記素子領域のうち第1の膜厚の絶縁膜を形成しようとす

8

る領域に、上記絶縁膜の形成速度を遅らせる不純物を導入する工程と、上記素子領域のうち上記第1の膜厚より厚い第2の膜厚の絶縁膜を形成しようとする領域に、上記絶縁膜の形成速度を速める不純物を導入する工程とを具備することを特徴とする。

【0022】また、請求項10に記載の半導体装置の製造方法は、第1の膜厚のゲート絶縁膜を有するMIS-FETと、この第1の膜厚より厚い第2の膜厚のゲート絶縁膜を有するMIS-FETとを同一半導体基板上に搭載する半導体装置の製造方法であって、上記第1の膜厚のゲート絶縁膜を有するMIS-FETのチャネル部へのイオン注入と上記第1の膜厚のゲート絶縁膜の形成速度を遅らせる不純物の導入とを同一のマスクパターンを用いて行う工程と、上記第2の膜厚のゲート絶縁膜を有するMIS-FETのチャネル部へのイオン注入と上記第2の膜厚のゲート絶縁膜の形成速度を速める不純物の導入とを同一のマスクパターンを用いて行う工程とを具備することを特徴とする。

【0023】また、さらに請求項11に記載の半導体装置の製造方法は、請求項1乃至10のいずれかに記載の構成に加えて、熱酸化法により上記半導体基板上にゲート絶縁膜を形成することを特徴とする。

【0024】また、請求項12に記載の半導体装置の製造方法は、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記ゲート絶縁膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域、もしくは上記ゲート絶縁膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に選択的に不純物を導入したうえで、上記ゲート絶縁膜を陽極酸化法を用いて形成する工程を具備することを特徴とする。

【0025】また、さらに請求項13に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、n形不純物を導入しn⁺領域を形成する工程と、上記シリコン半導体基板に光を照射せずに暗黒下で陽極酸化を行い、上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に上記シリコン酸化膜を形成する工程と、上記暗黒下での陽極酸化の後、上記シリコン半導体基板への光の照射を開始して陽極酸化を行い、上記第1、第2の素子領域に上記シリコン酸化膜を形成する工程とを具備することを特徴とする。

【0026】また、さらに請求項14に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類

以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、n形不純物を導入しn⁻領域を形成する工程と、上記シリコン半導体基板に光を照射せずに暗黒下で陽極酸化を行い、上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に上記シリコン酸化膜を形成する工程と、上記陽極酸化の後、上記第1、第2の素子領域に熱酸化法により上記シリコン酸化膜を形成する工程とを具備することを特徴とする。

【0027】また、さらに請求項15に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記シリコン酸化膜の膜厚を厚くすべき、上記MIS-FETが形成される素子領域に対して、上記シリコン酸化膜の形成速度を速めるアルゴン（Ar）もしくはキセノン

（Xe）のイオンを導入する工程と、上記シリコン半導体基板上に陽極酸化法により上記シリコン酸化膜を形成する工程とを具備することを特徴とする。

【0028】また、さらに請求項16に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、上記シリコン酸化膜の膜厚を薄くすべき、上記MIS-FETが形成される素子領域に対して、上記シリコン酸化膜の形成速度を遅くするアンチモン（Sb）もしくはガリウム（Ga）のイオンを導入する工程と、上記シリコン半導体基板上に陽極酸化法により上記シリコン酸化膜を形成する工程とを具備することを特徴とする。

【0029】また、さらに請求項17に記載の半導体装置の製造方法は、同一のシリコン半導体基板上に2種類以上の膜厚のシリコン酸化膜からなるゲート絶縁膜を有するMIS型電界効果トランジスタ（以下MIS-FET）を搭載する半導体装置の製造方法であって、第1の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第1の素子領域に対して、上記シリコン酸化膜の形成速度を遅くするアンチモン（Sb）もしくはガリウム（Ga）のイオンを導入する工程と、上記第1の膜厚より厚い第2の膜厚の上記シリコン酸化膜を形成すべき、上記MIS-FETが形成される第2の素子領域に対して、上記シリコン酸化膜の形成速度を速めるアルゴン（Ar）もしくはキセノン（Xe）のイオンを導入する工程と、上記第1、第2の素子領域に陽極酸化法により上記シリコン酸化膜を形成する工程とを具

備することを特徴とする。

【0030】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。まず、この発明の第1の実施の形態の半導体装置の製造方法について説明する。

【0031】この第1の実施の形態は、熱酸化法を用いて2種類以上の膜厚のシリコン酸化膜を形成する半導体装置の製造方法であり、図1～図3は、この半導体装置の製造方法を説明するための断面図である。

【0032】図1（a）に示すように、半導体基板2上に素子分離領域となるフィールド酸化膜4を形成する。ここでは、STI（Shallow Trench Isolation）を用いた例を示しているが、従来からのLOCOS法を用いて素子分離領域を形成してもよい。ここで図示しないが、ウェルイオン注入とチャネルイオン注入のためのバッファ酸化膜6を形成した後、n形MOS-FET用のウェルを形成する。例えば、n形MOS-FETの領域には、ボロン（B）を $2 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。なおここでは、上記フィールド酸化膜4に挟まれた右側の素子領域及び左側の素子領域の両領域に、n形MOS-FETを形成することを想定しているが、p形MOS-FETを形成してもよい。p形MOS-FET用のウェルを形成する場合は、例えばリン（P）を $2 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。

【0033】また、左側の素子領域には内部回路が形成されるものとし、膜厚が薄い、例えば6nmのゲート絶縁膜としてのシリコン酸化膜が形成されるものとする。一方、右側の素子領域には外部とのインタフェースとなる周辺回路が形成されるものとし、上記左側の素子領域に形成される内部回路に比べて膜厚が厚い、例えば9nmのゲート絶縁膜としてのシリコン酸化膜が形成されるものとする。

【0034】すると、上記内部回路と周辺回路とは使用する電源電圧が異なるため、短チャネル効果の抑制やしきい値電圧を調整するために、チャネルイオン注入においては左右の素子領域を別々に開口してイオン注入を行う必要がある。そこで、図1（b）に示すように、フォトリソグラフィ法によりレジスト膜をパターンニングし、右側の素子領域のレジスト膜を除去して、左側の素子領域にのみレジストパターン8を形成する。そして、開口された右側の素子領域、すなわち周辺回路が形成される領域に、周辺回路用の素子特性をもたせるためのチャネルイオン注入を行う。このチャネルイオン注入では、ボロン（B）を $1.5 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。なお、p形MOS-FETの場合は、例えばリン（P）を $1.5 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。

【0035】さらに、上記右側の素子領域はゲート絶縁膜、すなわちシリコン酸化膜を厚く形成したい領域であ

るため、上記レジストパターン8をマスクとして、右側の素子領域の半導体基板2の表面近傍に、シリコン酸化膜の形成速度を速める元素、例えばアルゴン(Ar)、キセノン(Xe)、又は酸素(O₂)などのイオンを基板表面近傍に不純物分布のピークがくるように導入する。このとき、ドーズ量を $1.0 \times 10^{15} \sim 1.0 \times 10^{16} [\text{cm}^{-2}]$ 程度とすると、10nm程度の薄膜のシリコン酸化膜を形成する場合に、酸化によるその形成速度がイオンを導入しないときに比べて約1.5~3倍になることが知られている。

【0036】次に、図2(a)に示すように、上記レジストパターン8を剥離した後、再びフォトリソグラフィ法によりレジスト膜を塗布してパターンニングし、左側の素子領域のレジスト膜を除去して、右側の素子領域にのみレジストパターン10を形成する。そして、開口された左側の素子領域、すなわち内部回路が形成される領域に、内部回路用の素子特性をもたせるためのチャネルイオン注入を行う。このチャネルイオン注入では、ボロン(B)を $2.0 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。なお、同様にp形MOS-FETの場合は、例えばリン(P)を $2.0 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。

【0037】続いて、右側の素子領域の上記レジストパターン10を剥離して、左右両側の素子領域のバッファ酸化膜6を除去する。さらに、図2(b)に示すように、熱酸化法により内部回路が形成される左側の素子領域に、膜厚6nmのシリコン酸化膜を形成してゲート絶縁膜12とする。これと同時に、周辺回路が形成される右側の素子領域に、膜厚9nmのシリコン酸化膜を形成してゲート絶縁膜14とする。

【0038】このとき、上述したように、周辺回路が形成される右側の素子領域には、シリコン酸化膜の形成速度を速める元素イオンが表面近傍に導入されているため、この右側の素子領域に導入する元素イオンのドーズ量を調整して形成速度の差を1.5倍にすることにより、左右の領域にそれぞれ膜厚6nmと9nmのゲート絶縁膜12、14を同時に形成することができる。ここで導入する元素イオンのドーズ量は、 $1.0 \times 10^{15} [\text{cm}^{-2}]$ 程度である。

【0039】なお、ここでは周辺回路が形成される右側の素子領域にのみ、シリコン酸化膜の形成速度を速める元素イオンを導入したが、これに限るわけではなく、右側の素子領域にシリコン酸化膜の形成速度を速める元素イオンを導入すると共に、左側の素子領域に形成速度を遅くする元素イオンを導入して、シリコン酸化膜の形成速度の差を1.5倍にしてもよい。

【0040】この場合、この実施の形態の図1(b)に示す工程にてチャネルイオン注入を行った後に、上記レジストパターン8をマスクとして、右側の素子領域の半導体基板2の表面近傍に、シリコン酸化膜の形成速度を

速める元素、例えばAr、Xe、又はO₂などのイオンをドーズ量 $1.0 \times 10^{15} [\text{cm}^{-2}]$ 以下で導入する。さらに、図2(a)に示す工程にてチャネルイオン注入を行った後に、上記レジストパターン10をマスクとして、左側の素子領域の半導体基板2の表面近傍に、シリコン酸化膜の形成速度を遅くする元素、例えば窒素(N₂)などのイオンを基板表面近傍に不純物のピークがくるように、ドーズ量 $1.0 \times 10^{15} [\text{cm}^{-2}]$ 以下で導入する。このように、ドーズ量が $1.0 \times 10^{15} [\text{cm}^{-2}]$ 以下の比較的少ない場合でも、右側の素子領域及び左側の素子領域に導入する元素イオンのドーズ量を調整して、形成速度の差を1.5倍にすることにより、左右の領域にそれぞれ膜厚6nmと9nmのゲート絶縁膜12、14を同時に形成することができる。

【0041】また、他の手法として、内部回路が形成される左側の素子領域にのみ、シリコン酸化膜の形成速度を遅くする元素イオンを導入して、シリコン酸化膜の形成速度の差を1.5倍にしてもよい。この場合、この実施の形態の図1(b)に示す工程にてチャネルイオン注入を行った後に、シリコン酸化膜の形成速度を速める元素イオンの導入を行わず、図2(a)に示す工程にてチャネルイオン注入を行った後に、上記レジストパターン10をマスクとして、左側の素子領域の半導体基板2の表面近傍に、シリコン酸化膜の形成速度を遅くする元素、例えばN₂などのイオンをドーズ量 $1.0 \times 10^{16} [\text{cm}^{-2}]$ 程度で導入すればよい。

【0042】その後、図3に示すように、不純物が適宜ドーピングされたポリシリコン膜を堆積した後、フォトリソグラフィ法によりこのポリシリコン膜をパターンニングして、両側の素子領域にゲート電極16を形成する。この後は、通常のMOS-FETの製造工程に従って製造される。

【0043】以上説明したように本第1の実施の形態によれば、同じマスクパターンでチャネルイオン注入とシリコン酸化膜の形成速度を変化させるためのイオン注入を連続して行うことにより、従来の複雑なプロセスと比較して、レジストパターン形成のためのフォトリソグラフィ工程等を削減できると共に、1回の熱酸化工程により、2種類の異なる膜厚のシリコン酸化膜を形成することができる。このとき、1.0~3.0倍程度の膜厚比を有するシリコン酸化膜を形成することが可能である。

【0044】次に、この発明の第2の実施の形態の半導体装置の製造方法について説明する。この第2の実施の形態は、電気化学的な酸化方法である陽極酸化法を用いて2種類以上の膜厚のシリコン酸化膜を形成する半導体装置の製造方法である。この陽極酸化法では、次の化学反応式、 $\text{Si} + 2\text{H}_2\text{O} + 4\text{p}^+ \rightarrow \text{SiO}_2 + 4\text{H}^+$ に基づいてシリコン酸化膜が形成されることが知られている。

【0045】そこで、本実施の形態ではホールp⁺1供

10

20

30

40

50

給されない場合、半導体基板は酸化されないこと、もしくは酸化速度が非常に遅くなることを利用する。これには、半導体基板の表面からも裏面からも、ホール p^+ 供給されないようにすればよい。つまり、酸化速度を低減させたい領域を n 形にドーピングしておき、さらに光を照射しない暗黒下の条件とすることで、陽極酸化する際において少数キャリアであるホール濃度を小さくする。なお、通常の陽極酸化は、 n 形領域に対しても十分な光を当てて少数キャリアであるホール p^+ を発生させながら行っている。

【0046】よって、暗黒下にて、形成したい2種類のシリコン酸化膜の膜厚差に、後述するように n 形の領域の方が光照射時の陽極酸化では1.2倍程度酸化速度が速くなることを考慮した膜厚分を加えた膜厚を、シリコン酸化膜を厚く形成したい領域に形成し、その後、十分な光照射を行って少数キャリアを発生させながら、 n 形にドーピングした領域にもシリコン酸化膜を形成する。

1.2倍程度酸化速度が速くなることを考慮した膜厚分を加えたのは、光の強度が大きいとき、例えば5000Lux以上のときには、今度は逆に n 形の領域の方が1.2倍程度、酸化速度が速くなることが知られているからである。

【0047】次に、図面を用いてこの第2の実施の形態の半導体装置の製造方法について説明する。図4～図6は、この第2の実施の形態の半導体装置の製造方法を説明するための断面図である。この実施の形態では、 n 形MOS-FETを形成するものとする。

【0048】まず、図4に示すように、 p 形の半導体基板22上に素子分離領域となるフィールド酸化膜24を形成する。さらに、上記半導体基板22の全面にパッファ酸化膜26を形成する。上記素子分離領域の形成では、上記第1の実施の形態と同様に、STIを用いた例を示しているが、従来からのLOCOS法を用いて形成してもよい。また、左側の素子領域には内部回路が形成されるものとし、膜厚が薄い、例えば6nmのゲート絶縁膜が形成されるものとする。一方、右側の素子領域には外部とのインタフェースとなる周辺回路が形成されるものとし、上記左側の素子領域に比べて膜厚が厚い、例えば9nmのゲート絶縁膜が形成されるものとする。

【0049】さらに、図4に示すように、フォトリソグラフィ法によりレジスト膜をパターンニングし、左側の素子領域のレジスト膜を除去して、右側の素子領域にのみレジストパターン27を形成する。そして、開口された左側の素子領域、すなわち薄いシリコン酸化膜を形成したい領域に対してイオン注入を行い、ホール濃度が小さくなるように n^- 領域28を形成する。

【0050】続いて、図5(a)に示すように、右側の素子領域に形成された上記レジストパターン27を除去し、さらに半導体基板22上の上記パッファ酸化膜26を剥離する。その後、半導体基板22に光を照射せずに

暗黒下で陽極酸化を行い、厚いシリコン酸化膜を形成したい右側の素子領域にシリコン酸化膜30を形成する。この陽極酸化では、例えば0.1MのHCl溶液、または1:10の $NH_4OH:H_2O$ 溶液に電極と共に上記半導体基板22を含むウェハを浸し、両者間に所定の電流を流すことによってシリコン酸化膜の形成が行われる。

【0051】このとき、上記陽極酸化にて形成するシリコン酸化膜30の膜厚は、左側の素子領域に形成する薄いシリコン酸化膜と、右側の素子領域に形成する厚いシリコン酸化膜との膜厚差に、光照射時に n 形の領域（左側の素子領域）の方が1.2倍程度、シリコン酸化膜の形成速度が速くなることを考慮した膜厚分を加えた膜厚とする。なお、上記陽極酸化においては、ウェハ裏面のコンタクトには金属を用いずに、高濃度の電解質溶液で実現できることが最近の研究でわかっている。従って、ウェハを金属汚染させることなくクリーンルーム内でも陽極酸化を行うことが可能である。

【0052】次に、図5(b)に示すように、上記半導体基板22に光照射を、例えば5000Lux以上の強度で開始すると、左側の素子領域に形成されるシリコン酸化膜の形成速度が、右側の素子領域に形成されるシリコン酸化膜の形成速度に比べて、1.2倍程度速くなる。これを考慮して、5000Lux以上の明るさで光照射を行いながら陽極酸化を行い、内部回路が形成される左側の素子領域に、膜厚6nmのシリコン酸化膜を形成してゲート絶縁膜32とする。これと同時に、周辺回路が形成される右側の素子領域に、膜厚9nmのシリコン酸化膜を形成してゲート絶縁膜34とする。

【0053】その後、図6(a)に示すように、ポリシリコン膜36を堆積し、このポリシリコン膜36上に図示しないレジストパターンを形成した後、このレジストパターンをマスクとしてポリシリコン膜36に不純物を導入する。さらに、同じレジストパターンをマスクとして上記ポリシリコン膜36を介して半導体基板22中にウェルイオン注入とチャネルイオン注入を適宜行う。上記工程は、ゲート電極膜（ポリシリコン膜36）へのドーピング、ウェルイオン注入、及びチャネルイオン注入が同一のマスクを用いて行えるため、工程数の低減にも役立つ。さらに、図6(b)に示すように、フォトリソグラフィ法により上記ポリシリコン膜36をパターンニングして、両側の素子領域にゲート電極38を形成する。

【0054】この後は、上記第1の実施の形態と同様に、通常のMOS-FETの製造工程に従って製造される。なお、この陽極酸化法を用いる本実施の形態では、シリコン酸化膜を薄く形成したい領域が必ずしも最終的に n 形である必要はなく、上述のようなウェル及びチャネル部へのドーピングを行うことで導電型を変えることが可能である。

【0055】以上説明したように本第2の実施の形態に

よれば、シリコン酸化膜の形成速度を遅くしたい領域を n 形にドーピングしておき、暗黒下での陽極酸化と光照射時の陽極酸化とを調整して行うことにより、従来の複雑なプロセスと比較して、レジストパターン形成のためのフォトリソグラフィ工程等を削減しながら、2種類の異なる膜厚のシリコン酸化膜を形成することができる。さらに、半導体基板中に注入されたチャネル不純物に対して行われる熱処理工程を極力少なくすることができ、チャネル中の不純物プロファイルが急峻なまま素子を形成できるため、不純物プロファイルの設計が容易になり短チャネル効果の抑制にも役立つ。

【0056】次に、この発明の第3の実施の形態の半導体装置の製造方法について説明する。この第3の実施の形態は、上記第2の実施の形態の変形例であり、陽極酸化法と熱酸化法を用いて2種類以上の膜厚のシリコン酸化膜を形成する半導体装置の製造方法である。

【0057】図7～図9は、この第3の実施の形態の半導体装置の製造方法を説明するための断面図である。まず、上記第2の実施の形態と同様に、図7(a)に示すように、p形の半導体基板42に素子分離領域となるフィールド酸化膜44を形成する。さらに、上記半導体基板42の全面にパッファ酸化膜46を形成する。上記実施の形態と同様に、上記素子分離領域の形成では、STIを用いた例を示しているが、従来からのLOCOS法を用いて形成してもよい。また、左側の素子領域には内部回路が形成されるものとし、膜厚が薄い、例えば6nmのゲート絶縁膜が形成されるものとする。一方、右側の素子領域には外部とのインタフェースとなる周辺回路が形成されるものとし、上記左側の素子領域に比べて膜厚が厚い、例えば9nmのゲート絶縁膜が形成されるものとする。

【0058】さらに、図7(a)に示すように、フォトリソグラフィ法によりレジスト膜をパターンニングし、左側の素子領域のレジスト膜を除去して、右側の素子領域にのみレジストパターン47を形成する。そして、開口された左側の素子領域、すなわち薄いシリコン酸化膜を形成したい領域に対してイオン注入を行い、ホール濃度が小さくなるようにn⁻領域48を形成する。

【0059】続いて、図7(b)に示すように、右側の素子領域に形成された上記レジストパターン47を除去し、さらに半導体基板42上の上記パッファ酸化膜46を剥離する。その後、上記半導体基板42に光を照射せずに暗黒下で陽極酸化を行い、厚いシリコン酸化膜を形成したい右側の素子領域にシリコン酸化膜50を形成する。この陽極酸化では、例えば0.1MのHCl溶液、または1:10のNH₄OH:H₂O溶液に電極と共に上記半導体基板42を含むウェハを浸し、両者間に所定の電流を流すことによってシリコン酸化膜の形成が行われる。このとき、上記陽極酸化にて形成するシリコン酸化膜50の膜厚は、左側の素子領域に形成する薄いシリ

コン酸化膜と、右側の素子領域に形成する厚いシリコン酸化膜との膜厚差とし、ここでは3nmである。

【0060】次に、図8(a)に示すように、上記半導体基板42上に熱酸化法により、6nmのシリコン酸化膜を形成する。これにより、内部回路が形成される左側の素子領域には、膜厚6nmのシリコン酸化膜からなるゲート絶縁膜52が形成され、これと同時に、周辺回路が形成される右側の素子領域には、膜厚9nmのシリコン酸化膜からなるゲート絶縁膜54が形成される。

【0061】その後、図8(b)に示すように、ポリシリコン膜56を堆積し、このポリシリコン膜56上に図示しないレジストパターンを形成した後、このレジストパターンをマスクとしてポリシリコン膜56に不純物を導入する。さらに、同じレジストパターンをマスクとして上記ポリシリコン膜56を介して半導体基板42中にウェルイオン注入とチャネルイオン注入を適宜行う。上記工程は、ゲート電極膜(ポリシリコン膜56)へのドーピング、ウェルイオン注入、及びチャネルイオン注入が同一のマスクを用いて行えるため、工程数の低減にも役立つ。さらに、図9に示すように、フォトリソグラフィ法により上記ポリシリコン膜56をパターンニングして、両側の素子領域にゲート電極58を形成する。この後は、上記実施の形態と同様に、通常のMOS-FETの製造工程に従って製造される。

【0062】なお、この陽極酸化法を用いる本実施の形態では、シリコン酸化膜を薄く形成したい領域が必ずしも最終的にn形である必要はなく、上述のようなウェル、チャネル部のドーピングを行うことで導電型を変えることが可能である。

【0063】以上説明したように本第3の実施の形態によれば、シリコン酸化膜の形成速度を遅くしたい領域をn形にドーピングしておき、暗黒下での陽極酸化を行って膜厚差分だけシリコン酸化膜を形成した後、熱酸化法によりシリコン酸化膜を形成することにより、従来の熱酸化法だけで構成された複雑なプロセスと比較して、レジストパターン形成のためのフォトリソグラフィ工程等を削減しながら、2種類の異なる膜厚のシリコン酸化膜を形成することができる。さらに、熱酸化法という熱処理工程を入れることにより、陽極酸化により形成されたシリコン酸化膜の膜質を改善でき、TDDb特性などを改善することができる。

【0064】次に、この発明の第4の実施の形態の半導体装置の製造方法について説明する。この第4の実施の形態は、上記第2の実施の形態の変形例であり、シリコン酸化膜の形成速度を変化させる元素イオンを導入した後、陽極酸化法を用いて2種類以上の膜厚のシリコン酸化膜を形成する半導体装置の製造方法である。

【0065】図10～図12は、この第4の実施の形態の半導体装置の製造方法を説明するための断面図である。まず、上記第2の実施の形態と同様に、図10に示

ように、半導体基板62上に素子分離領域となるフィールド酸化膜64を形成する。さらに、上記半導体基板62の全面にパッファ酸化膜66を形成する。上記実施の形態と同様に、上記素子分離領域の形成では、STIを用いた例を示しているが、従来からのLOCOS法を用いて形成してもよい。また、左側の素子領域には内部回路が形成されるものとし、膜厚が薄い、例えば6nmのゲート絶縁膜が形成されるものとする。一方、右側の素子領域には外部とのインタフェースとなる周辺回路が形成されるものとし、上記左側の素子領域に比べて膜厚が厚い、例えば9nmのゲート絶縁膜が形成されるものとする。

【0066】続いて、図10に示すように、フォトリソグラフィ法によりレジスト膜をパターンニングし、右側の素子領域のレジスト膜を除去して、左側の素子領域にのみレジストパターン68を形成する。そして、開口された右側の素子領域、すなわち周辺回路が形成される領域に、周辺回路用の素子特性をもたせるためのチャネルイオン注入を行う。このチャネルイオン注入では、ボロン(B)を $1.5 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。なお、p形MOS-FETの場合は、例えばリン(P)を $1.5 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。

【0067】さらに、上記右側の素子領域はゲート絶縁膜、すなわちシリコン酸化膜を厚く形成したい領域であるため、上記レジストパターン68をマスクとして、右側の素子領域の半導体基板62の表面近傍に、シリコン酸化膜の形成速度を速める元素、例えばアルゴン(Ar)、キセノン(Xe)などのイオンを導入する。

【0068】次に、図11(a)に示すように、上記レジストパターン68を剥離した後、再びフォトリソグラフィ法によりレジスト膜を塗布してパターンニングし、左側の素子領域のレジスト膜を除去して、右側の素子領域にのみレジストパターン70を形成する。そして、開口された左側の素子領域、すなわち内部回路が形成される領域に、内部回路用の素子特性をもたせるためのチャネルイオン注入を行う。このチャネルイオン注入では、ボロン(B)を $2.0 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。なお、同様にp形MOS-FETの場合は、例えばリン(P)を $2.0 \times 10^{13} [\text{cm}^{-2}]$ 程度のドーズ量でイオン注入する。

【0069】さらに、上記左側の素子領域はゲート絶縁膜、すなわちシリコン酸化膜を薄く形成したい領域であるため、上記レジストパターン70をマスクとして、左側の素子領域の半導体基板62の表面近傍に、シリコン酸化膜の形成速度を遅くする元素、例えばアンチモン(Sb)、ガリウム(Ga)などのイオンを導入する。

【0070】続いて、図11(b)に示すように、半導体基板62上の上記パッファ酸化膜66を剥離した後、陽極酸化を行い、内部回路が形成される左側の素子領域

に、膜厚6nmのシリコン酸化膜を形成してゲート絶縁膜72とする。これと同時に、周辺回路が形成される右側の素子領域に、膜厚9nmのシリコン酸化膜を形成してゲート絶縁膜74とする。この陽極酸化では、上記第2の実施の形態と同様に、例えば0.1MのHCl溶液、または1:10の $\text{NH}_4\text{OH}:\text{H}_2\text{O}$ 溶液に電極と共に上記半導体基板62を含むウェハを浸し、両者間に所定の電流を流すことによってシリコン酸化膜の形成が行われる。

【0071】このとき、上述したように、内部回路が形成される左側の素子領域には、シリコン酸化膜の形成速度を遅くする元素イオンが導入され、一方、周辺回路が形成される右側の素子領域には、シリコン酸化膜の形成速度を速める元素イオンが導入されているため、左右の領域に導入する元素イオンのドーズ量を調整して形成速度の差を1.5倍にすることにより、左右の領域にそれぞれ膜厚6nmと9nmのゲート絶縁膜72、74を同時に形成することができる。

【0072】なお、この例では左右の領域にそれぞれ、シリコン酸化膜の形成速度を遅くする元素イオンと、形成速度を速くする元素イオンを導入したが、単に周辺回路が形成される右側の素子領域に、シリコン酸化膜の形成速度を速める元素イオンを導入して、形成速度の差を1.5倍にしてもよい。また、逆に内部回路が形成される左側の素子領域に、シリコン酸化膜の形成速度を遅くする元素イオンを導入することのみで、形成速度の差を1.5倍にしてもよい。

【0073】その後、図12に示すように、不純物が適宜ドーピングされたポリシリコン膜を堆積した後、フォトリソグラフィ法によりこのポリシリコン膜をパターンニングして、両側の素子領域にゲート電極76を形成する。この後は、通常のMOS-FETの製造工程に従って製造される。

【0074】以上説明したように本第4の実施の形態によれば、同じマスクパターンでチャネルイオン注入とシリコン酸化膜の形成速度を変化させるためのイオン注入を連続して行うことができるため、従来の複雑なプロセスと比較して、レジストパターン形成のためのフォトリソグラフィ工程を削減しながら、2種類の異なる膜厚のシリコン酸化膜を形成することができる。

【0075】なお、上記実施の形態では、2種類の異なる膜厚のシリコン酸化膜の形成方法について説明したが、この製造方法は2種類の異なる膜厚のシリコン酸化膜に限るわけではなく、3種類以上の膜厚のシリコン酸化膜を形成する場合にも適用することが可能である。また、上記レジストパターンの材料は、注入される元素イオンを透過しないものであればよく、レジスト膜以外のシリコン窒化膜などその他の膜であってもよい。さらに、チャネル部の不純物はボロン(B)とリン(P)に限定されるものではなく、p形不純物としてはインジウ

ム(In)、n形不純物としてはヒ素(As)、アンチモン(Sb)などを用いてもかまわない。

【0076】

【発明の効果】以上述べたように本発明によれば、同一の半導体基板上に2種類以上の膜厚のゲート絶縁膜を有するMIS-FETを用いた半導体装置の製造方法において、半導体基板上の一部の領域にマスクパターンを用いてゲート絶縁膜の膜厚差を形成した後に、半導体基板上全面にゲート絶縁膜を形成して2種類以上の膜厚のゲート絶縁膜を形成するような従来のプロセスと比較して、マスクパターン形成のためのフォトリソグラフィ工程等を削減すると共に、ゲート絶縁膜形成のための熱処理工程を軽減することにより、製造効率を高め、かつ製造コストを低減することができる半導体装置の製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】第1の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図2】第1の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図3】第1の実施の形態の半導体装置の製造方法を説明するための断面図である。

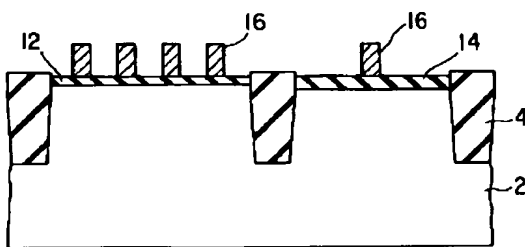
【図4】第2の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図5】第2の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図6】第2の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図7】第3の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図3】



【図8】第3の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図9】第3の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図10】第4の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図11】第4の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図12】第4の実施の形態の半導体装置の製造方法を説明するための断面図である。

【図13】2種類の膜厚のシリコン酸化膜を形成する場合の従来の製造方法の一例を説明するための断面図である。

【図14】2種類の膜厚のシリコン酸化膜を形成する場合の従来の製造方法の一例を説明するための断面図である。

【図15】2種類の膜厚のシリコン酸化膜を形成する場合の従来の製造方法の一例を説明するための断面図である。

20 【符号の説明】

2、22、42、62…半導体基板

4、24、44、64…フィールド酸化膜

6、26、46、66…バッファ酸化膜

8、10、27、47、68、70…レジストパターン
12、14、32、34、52、54、72、74…ゲート絶縁膜

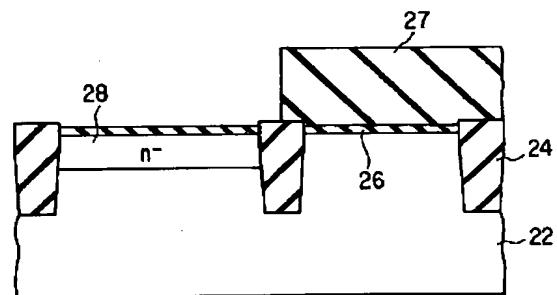
16、38、58、76…ゲート電極

28、48…n⁻領域

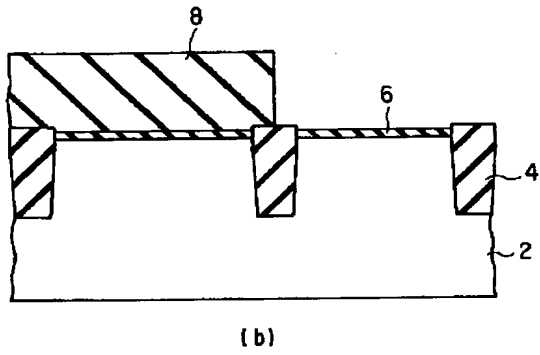
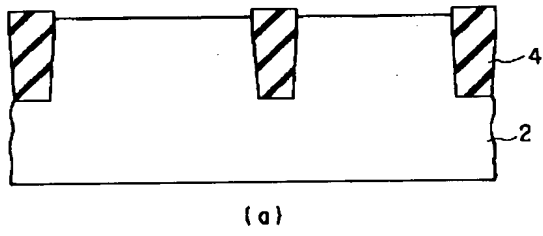
30、50…シリコン酸化膜

30 36、56…ポリシリコン膜

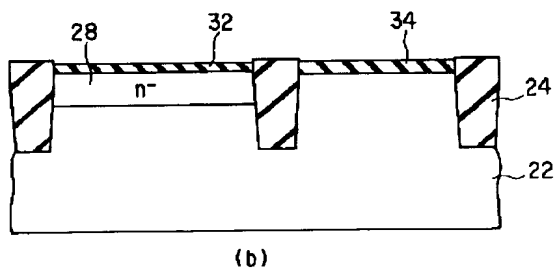
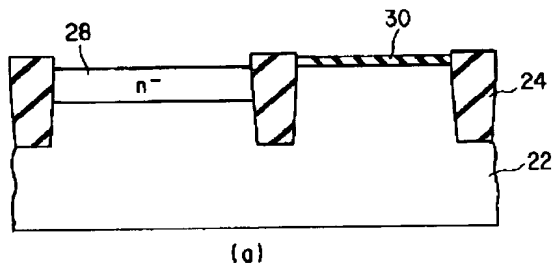
【図4】



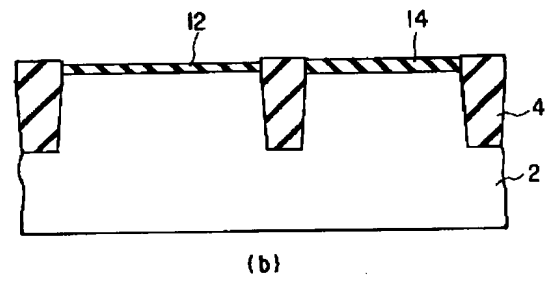
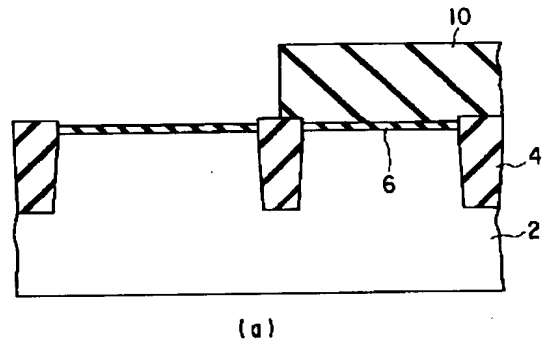
【図 1】



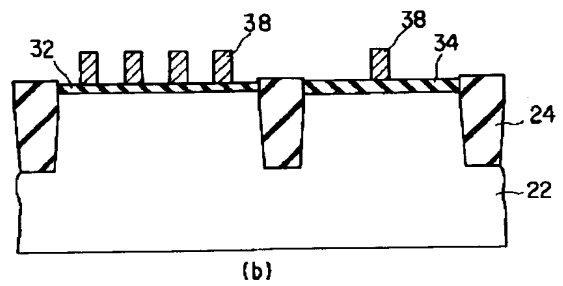
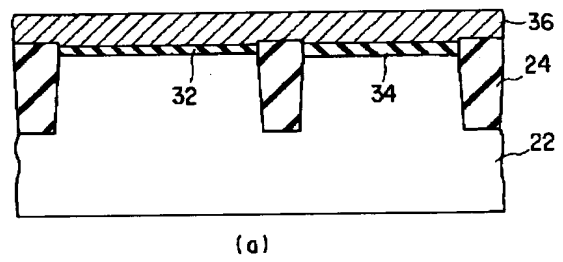
【図 5】



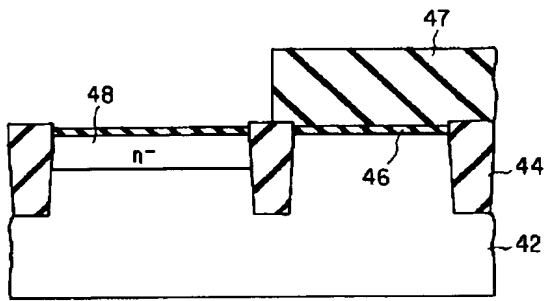
【図 2】



【図 6】

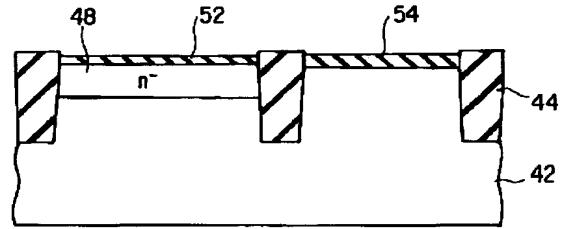


【図7】

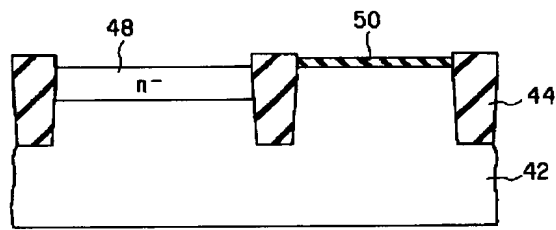


(a)

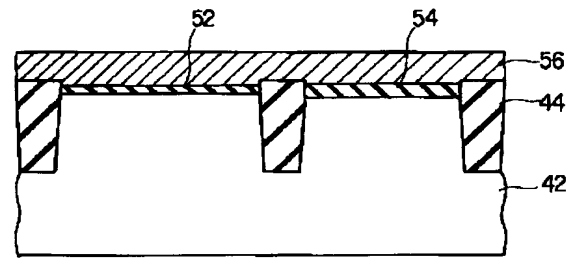
【図8】



(a)



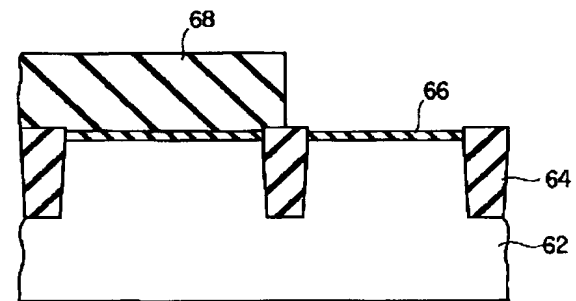
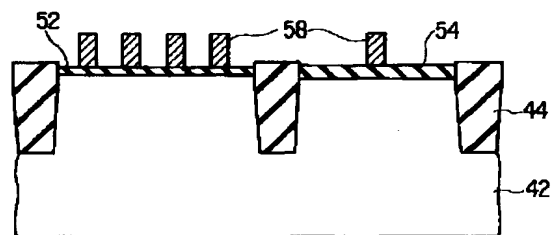
(b)



(b)

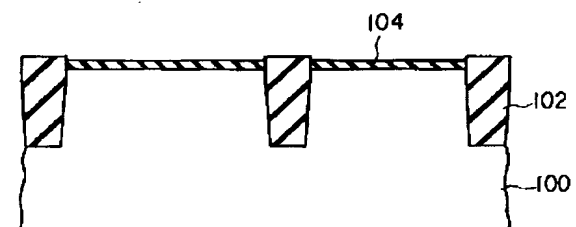
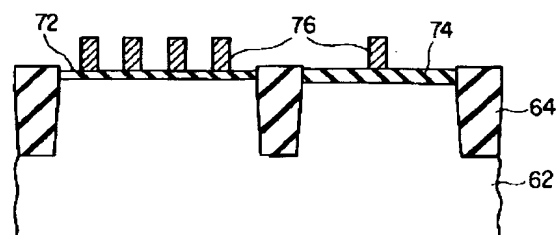
【図10】

【図9】

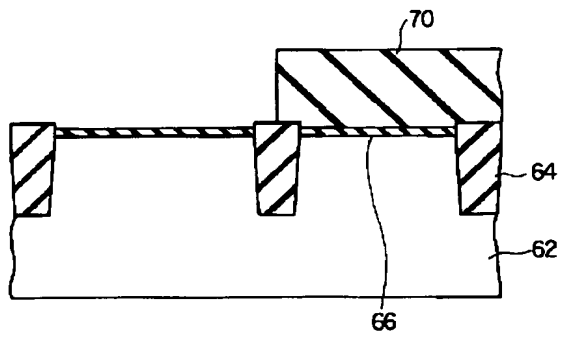


【図13】

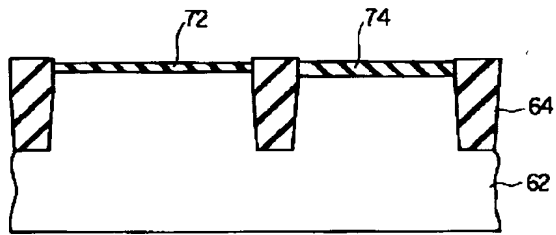
【図12】



【図11】

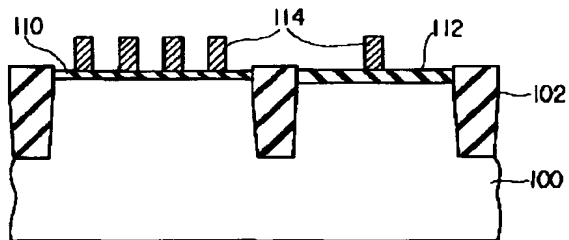


(a)

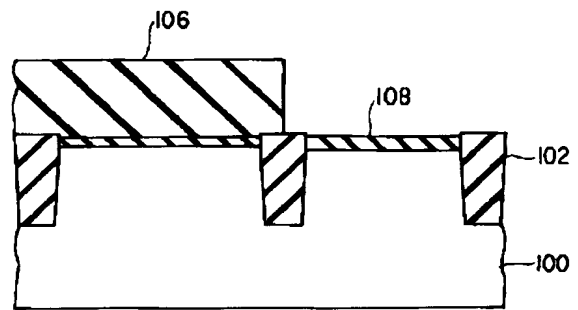


(b)

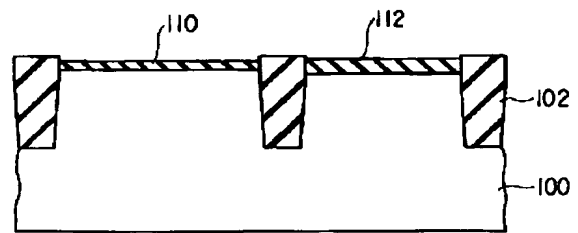
【図15】



【図14】



(a)



(b)